

基于 VIP 的 AMBA 总线 IP 核评测方法

朱恒静¹, 赤 诚², 李 杰², 王熙庆¹, 祝 名¹, 肖立伊²

(1 中国空间技术研究院, 北京 100081; 2 哈尔滨工业大学 微电子中心, 黑龙江 哈尔滨 150001)

摘 要: 现代 SoC 设计过程中要集成大量 IP 核, 而 IP 核在集成到系统之前必须进行评测, 以确保其功能的正确性. VIP 是可复用的验证模块, 同时也可以为待评测的设计创建直接测试场景和测试序列. 提出了采用 VIP 模型开发 IP 核评测平台的方法, 搭建了基于 VIP 模型的 AMBA 总线 IP 核评测平台, 通过监视器可监测 IP 核是否出现违反总线协议的情况, 仿真结束后会给出详细的总线传输报告. 利用该评测平台对 AES 加密算法 IP 核进行了评测, 验证了 IP 核评测平台的有效性和实用性.

关键词: VIP 模型; IP 核评测; AMBA 总线

中图分类号: TN95

文献标识码: A

文章编号: 1000—7180(2017)09—0038—05

An AMBA Bus IP Core Evaluation Method Based on VIP

ZHU Heng-jing¹, CHI Cheng², LI Jie², WANG Xi-qing¹, ZHU Ming¹, XIAO Li-yi²

(1 China Academy of Space Technology, Beijing 100081, China; 2 Microelectronics Center, Harbin Institute of Technology, Harbin 150001, China)

Abstract: To design a modern SoC needs to integrate a large number of IP core. But IP core must be evaluated before integrated into the system. VIP is a reusable verification module, but also for the design to be tested to create a direct test scenarios and test sequences. This paper presents a method of using the VIP model to develop the IP core evaluation platform and builds the AMBA bus IP core evaluation platform based on the VIP model. The monitor monitors whether the bus protocol is violated. After the simulation, a detailed bus transfer report is given. The IP core of the AES encryption algorithm is evaluated by the evaluation platform, which verifies the validity and practicability of the IP core evaluation platform.

Key words: VIP model; IP core evaluation; AMBA bus

1 引言

由于半导体技术的快速发展,使得 SoC 技术应运而生^[1]. SoC 是将处理器与其他系统模块整合到单个芯片上,但这对芯片设计提出了巨大挑战^[2]. 一方面,随着芯片性能越来越强,规模越来越大,设计复杂度迅速增加;另一方面,市场对产品上市周期的要求越来越高,因此造成了设计复杂度和设计产能之间的巨大鸿沟^[3-4].

重复使用预先设计并验证过的集成电路模块,被认为是最有效的解决方案,IP 核复用技术对于

SoC 的设计来说至关重要^[5-6]. 利用经过充分验证过并且可以重复使用的 IP 核,使设计者能专注于整个系统的设计,有助于提高设计的效率和正确性,降低成本. 所以,确保 IP 核功能的正确性成为了 SoC 设计成功的关键,也是每个 SoC 设计者关心的问题.

IP 核的功能评测应属于 IP 核验证的范畴,但又不同于验证. 考虑到 SoC 设计方在购买 IP 核时,IP 核的设计与验证已经完成,所以在对 IP 核进行评测时不可能像验证时那样搭建一个复杂的验证平台进行完整的功能覆盖测试. 并且对于 IP 核的使用者来说,IP 核内部相当于一个黑匣子,只能从外部

的输入输出判断功能的正确性.这就需要在 IP 核进行评测时提供一个能够快速搭建的评测平台,根据提供的验证向量对 IP 核功能进行评测.

2 VIP 模型简介

VIP 是一种验证模型和全面的验证环境,它可以帮助设计者和验证者确认其设计功能的正确性,进而可以用来对 IP 核进行功能评测. VIP 可以用于基于仿真验证的各个层次.一般来说, VIP 是基于标准协议的,如 AMBA、PCIe、USB、以太网等. VIP 中包含有很多验证部件,这些部件都是已经被验证过的、严格遵循这些标准协议的,通常包括产生测试平台的必须基础部件、检查机制以及产生单独协议的程序,这些程序通常是一个 BFM.

VIP 包含可复用的验证模块,使用 VIP 能快速搭建起评测平台,对 IP 核功能进行评测. 图 1 给出了基于 VIP 模型搭建的评测平台. 根据实际使用环境,基于 VIP 搭建的评测平台提供待测 IP 核所需要的接口,对于需要挂载到总线上的待测 IP,只要在评测平台中对其进行正确例化,就能通过总线与评测平台的其它模块进行通信,模拟真实应用环境,完成不同的评测任务.

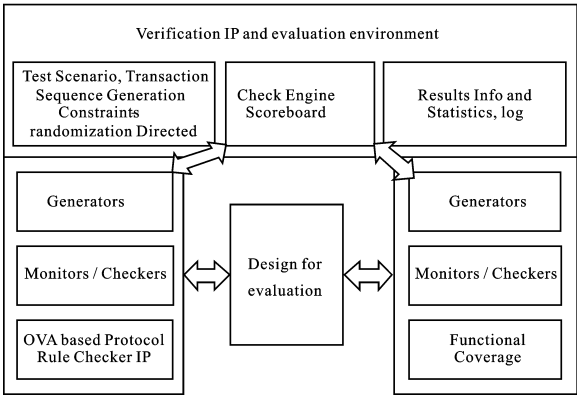


图 1 基于 VIP 模型的评测环境

VIP 融合了多种协议技术,并能够提供成功进行评测所需的激励发生、响应创建和总线接口协议检查等功能. 通过使用分层的、带约束的随机验证环境,可节省大量开发时间.

使用 VIP 可以显著提高系统设计人员和验证人员的效率,减少创建验证结构和测试平台环境的时间. 同时, VIP 的使用者也可以方便地为待评测的设计创建直接测试场景和测试序列. 这些测试用例可以帮助评测人员发现存在的问题,因此能够减少整个评测时间.

3 搭建基于 VIP 的 IP 核评测平台

3.1 AMBA VIP 模型

对于 AMBA 总线 VIP,在数据传输上严格符合 AMBA 协议,具有协议检查的功能,并且内嵌验证计划与覆盖率模型. 接下来选取基本的 AHB 和 APB 总线 VIP 进行介绍.

AHB 的 VIP 模型包括 ahb_bus、ahb_master、ahb_slave 和 ahb_monitor 模块,其中在 ahb_bus 里包含总线仲裁器、译码器、多路选择器等模块. 典型的基于 AHB 的 VIP 模型系统结构如图 2 所示.

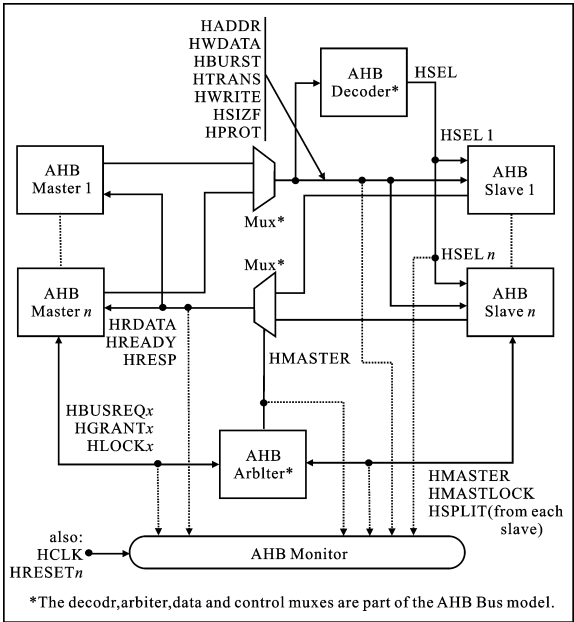


图 2 AHB 总线 VIP 模型系统结构

APB 的 VIP 模型包括 apb_master、apb_slave 和 apb_monitor 模块,其中 apb_master 模块并非 APB 总线的主设备,它只是相当于一半 AHB-APB 桥,在 APB 模型中充当主设备的作用. 典型的基于 APB 的 VIP 模型系统结构如图 3 所示.

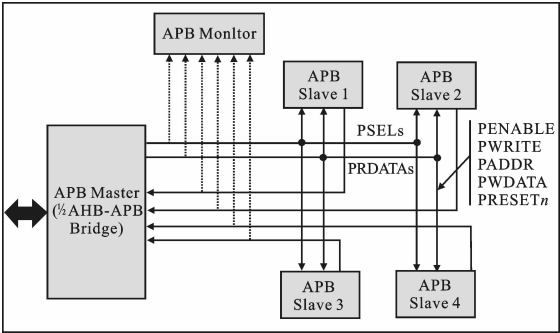


图 3 APB 总线 VIP 模型系统结构

3.2 系统环境要求

用 VIP 模型搭建评测平台,首先要满足 VIP 运行所需要的软件工具.其中包括代码编译器、仿真器,例如 VCS 软件、ModelSim 软件,在生成 Testbench 后会调用相关编译器对其进行编译并产生一系列仿真报告;仿真运行结果的查看和调试工具,例如 Verdi 软件,利用 Verdi 中 nWave 能够直观的查看仿真后的波形图;以及针对 VIP 应用的系统软件,例如,基于 VMT 的 VIP 模型是在 Vera 软件的基础上进行开发的,需要 Synopsys 的 Vera 软件支持.

其次还要对一些关键的系统变量进行设置,才能运行相应的软件工具.对于 VIP 来说,主要环境变量与其代表的内容如表 1 所示.

表 1 VIP 相关环境变量与其代表的内容

环境变量名	代表内容
DESIGNWARE_HOME	VIP 源文件夹的存放路径
VERA_HOME	Vera 软件工具的安装路径
SNPSLMD_LICENSE_FILE	VIP“license”环境变量
LM_LICENSE_FILE	VIP“license”环境变量

3.3 使用 VIP 评测平台对 IP 核进行评测

使用 VIP 搭建 AMBA 总线评测平台对待测 IP 进行评测的流程如图 4 所示.

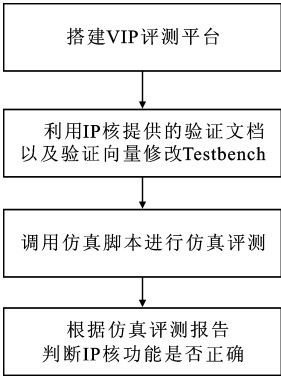


图 4 基于 VIP 模型评测平台的评测流程

值得注意的是,评测 IP 核的过程中,其他验证环境下编写的测试向量并不能在 VIP 模型中直接使用,而是需要将其进行一定转换. VIP 将 AMBA 总线的基本操作(例如突发读写操作)封装成行为级任务的形式,所以无论是对现有的测试向量进行转换还是编写新的测试向量都是极为便捷的.

进行编译仿真之前,还需要将待评测 IP 核的路径添加到编译文件中,并且将测试向量添加到

Testbench 中.较为方便的做法是直接在原有的 Testbench 示例文件上进行修改,因为其中已经包含了一些 VIP 组件的初始化操作.

接下来调用编译器对 Testbench 进行编译和仿真,在仿真结束后会提供一系列报告,这些文件的具体内容如表 2 所示.可以从报告中给出的信息判断仿真结果是否正确,进而对 IP 核的功能是否正确进行评价.

表 2 仿真报告文件说明

仿真报告文件	内容
compile. log	Testbench 编译日志
monitor. msg	监视器日志
simulate. log	仿真日志(记录了总线传输情况)
*. cov	(总线传输)覆盖率报告
*. vcd	仿真波形文件

在编译日志中记录了 Testbench 的编译结果,编译过程中出现的错误和警告都会日志中体现.监视器日志和仿真日志中详细记录了总线的突发传输情况,这与仿真波形给出的内容是一致的.当监视器发现传输有违背总线协议的情况时,监视器并不会终止仿真或对总线进行控制,这些违反情况均会体现在这两份日志文件中.总线覆盖率报告一般会有多份,分别对应不同内容,如:突发传输类型、从设备选择次数等.可以根据总线覆盖率报告调整测试向量的内容,实现总线功能上更加全面的评测.

4 IP 核评测示例

4.1 AES IP 核介绍

高级加密标准(Advanced Encryption Standard, AES)是一种对称分组加密算法^[7].根据使用的密码长度,AES 最常见的有 3 种方案,用以适应不同的场景和加密强度上的要求,分别是 AES-128、AES-192 和 AES-256^[8].这次要评测的 IP 核采用的是 AES-128 的方案进行加密. AES IP 核接口基于 APB 总线标准, AES IP 核模块如图 5 所示. AES 接口模块主要实现了 APB 总线信号与 AES 核心电路之间的信号转换,此外还包含多个寄存器,寄存器的位数及地址分配信息在表 3 中列出.

4.2 AES IP 核评测

AES IP 核功能评测主要包含两个内容:(1) AES IP 核本身功能是否符合设计要求;(2) AES IP 核能否与总线进行通信,完成数据传递.按照 3.2 节中提出的 IP 核评测流程图,制定如下评测计划:

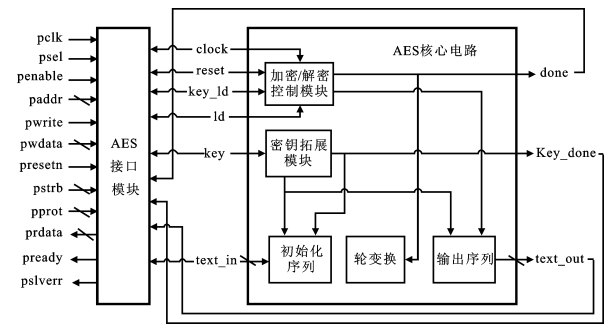


图 5 AES IP 核模块

表 3 接口寄存器描述

寄存器	位数	地址	描述
key_nxt	128	0×00	128 位密钥, 每个地址发送 32 位数据.
		0×04	
		0×08	
		0×0c	
mode	1	0×10	控制电路工作模式, ‘0’代表加密, ‘1’代表解密.
data_in	128	0×14	128 位明文, 需要分 4 次传输, 一次发送 32 位.
data_out	128	0×18	128 位密文, 需要分 4 次传输, 一次发送 32 位.

(1)搭建 APB 总线 VIP 评测平台. 将要进行评测的 IP 核在评测平台中进行例化, 并挂载到 APB 总线从设备.

(2)主设备将明文、密钥以及控制信号发送给从设备待测 IP 核进行加密, 并读取加密后的密文.

(3)将上一步得到的密文、密钥以及制信号发送给从设备待测 IP 核进行解密, 并读取解密后的明文. 将解密后的明文与上一步输入的明文进行比较, 如果一致, 说明其功能性评测正确.

在仿真评测过程中选择进行加密的明文和密钥如下:

明文:128h0000_5555_0000_6666_0000_7777_0000_8888_0000_9999

密钥:128h0000_1111_0000_2222_0000_3333_0000_4444_0000_5555

图 6 为加密过程的仿真结果, 其中显示得到的密文为“128’h193c_c423_1d1d_ba44_3aa4_8f96_1ff1_0062”. 将此密文与密钥进行解密, 仿真结果如图 7, 与加密前的明文一致. 仿真结果显示了 DES IP 核的功能正确性.

除此以外, 可以通过仿真报告查看评测结果. 例如在图 8 中的仿真报告, 可见仿真报告中给出了各

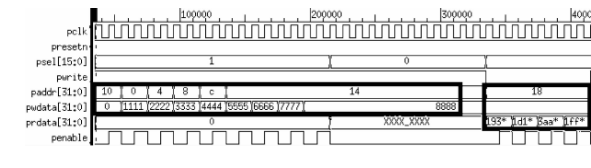


图 6 AES 加密波形

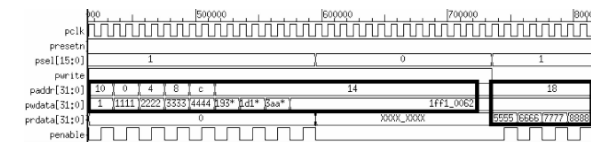


图 7 AES 解密波形

个时刻总线操作的内容. 与图 6 进行比较可以看出, 这两者表达的状态是相吻合的, 而且报告中体现的内容更加简洁, 当仿真时间较长、数据量较大时适合采用这种方式查看仿真结果. 图 9 是总线覆盖率报告其中一份, 体现了仿真过程中总线的传输情况.

```
DesignWare Model NOTE from test top.master1 at 550:
Begin Write paddr = 0x0 pwdata = 0x1111.
DesignWare Model NOTE from test top.master1 at 750:
End Write paddr = 0x0 pwdata = 0x1111.
DesignWare Model NOTE from test top.master1 at 750:
Begin Write paddr = 0x4 pwdata = 0x2222.
DesignWare Model NOTE from test top.master1 at 950:
End Write paddr = 0x4 pwdata = 0x2222.
DesignWare Model NOTE from test top.master1 at 950:
Begin Write paddr = 0x8 pwdata = 0x3333.
DesignWare Model NOTE from test top.master1 at 1150:
End Write paddr = 0x8 pwdata = 0x3333.
DesignWare Model NOTE from test top.master1 at 1150:
Begin Write paddr = 0xc pwdata = 0x4444.
DesignWare Model NOTE from test top.master1 at 1350:
End Write paddr = 0xc pwdata = 0x4444.
```

图 8 仿真报告 simulate. log 部分内容

Coverage Report		
Coverage Instance Name: transferCov		
Coverage Instance Handle: 0		
Coverage Definition Name: apb_transfer		
Coverage Goal: 90		
Coverage Option: 0		
Measure of Coverage: 75		
Coverage Sample Expression: this.transferFsm		
State Name	# defined values	# hits
cvxfer_reset	1	0
cvxfer_idle	1	27
cvxfer_read	1	8
cvxfer_write	1	18

图 9 部分总线覆盖率报告

5 结束语

提出了一种基于 VIP 模型搭建 AMBA 总线 IP 核评测平台的方法, 从而可以快速搭建 IP 核评测平台, 对待测 IP 进行评测. 监视器可以有效的监测总线上的各种信息, 报告是否有违反总线协议的事务发生, 通过评测报告可快速对 IP 核的功能做出评价, 减少评测所需时间, 提高评测效率.

参考文献:

[1] 冯亚林, 张蜀平. 集成电路的现状及其发展趋势[J]. 微电子学, 2006, 35(2): 173-176.

[2] Ke H, Zhongliang D, Qiong S. Verification of AMBA bus model using system verilog[C]//Electronic Measurement and Instruments, 2007. ICEMI07. 8th International Conference on. Ho Chi Minh, Vietnam, IEEE, 2007: 776-780.

[3] 金湘亮, 陈杰, 郭晓旭, 等. 基于 IP 核复用技术的 SoC 设计[J]. 半导体技术, 2002, 26(4): 16-21.

[4] 郭炜, 魏继增, 郭箬, 等. SoC 设计方法与实现 [M]. 2 版. 北京: 电子工业出版社, 2013.

[5] 朱运航, 李雪东. 基于 IP 核复用的 SoC 设计技术探讨[J]. 微计算机信息, 2006, 23(8): 114-116.

[6] 赵乾, 俞慧月, 史佳欢, 等. 一种 IP 核 AMBA 总线兼容性验证的通用方法研究[J]. 中国集成电路, 2010, 18(1): 59-62.

[7] 谢惠敏, 郭东辉. 可重构的串行高级加密标准加解密电路设计[J]. 计算机应用, 2013, 32(2): 450-454.

[8] 何明星, 林昊. AES 算法原理及其实现[J]. 计算机应用研究, 2002, 18(12): 61-63.

作者简介:

朱恒静 女, (1964-), 研究员. 研究方向为元器件可靠性保证.

赤 诚 男, (1993-), 硕士研究生. 研究方向为 IP 核设计与验证.

李 杰 男, (1990-), 博士研究生. 研究方向为集成电路可靠性设计.

王熙庆 女, (1989-), 工程师. 研究方向为元器件可靠性保证.

祝 名 男, (1979-), 高级工程师. 研究方向为元器件可靠性设计与保证.

肖立伊(通讯作者) 女, (1961-), 教授. 研究方向为 IP 核设计与标准化及集成电路抗辐射可靠性设计.

E-mail: xiaoly@hit. edu. cn.

(上接第 37 页)

[14] 邓凌煊. 基于 CCSDS-IDC 的星载图像压缩算法的研究[D]. 北京: 中国科学院研究生院, 2015.

作者简介:

周文敬 女, (1990-), 硕士研究生. 研究方向为计算机应用.

E-mail: friend2011_10@163. com.

张学全 男, (1979-), 博士. 研究方向为空间综合电子信息系统.

安军社 男, (1969-), 研究员. 研究方向为航天计算机.

王鸣哲 男, (1992-), 硕士研究生. 研究方向为 FPGA、数字图像处理与应用.